

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
27. Januar 2005 (27.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/008896 A1

(51) Internationale Patentklassifikation⁷: **H03M 1/10**,
G01R 31/3167, H03K 5/13

(21) Internationales Aktenzeichen: PCT/DE2004/001148

(22) Internationales Anmeldedatum:
4. Juni 2004 (04.06.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 32 008.3 14. Juli 2003 (14.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **DWORSKI, Claus**

[AT/AT]; Franz Pehr Strasse 13b, A-9500 Villach (AT).
SATTLER, Sebastian [DE/DE]; Severinstrasse 5, 81541
München (DE).

(74) Anwalt: **SCHÄFER, Horst**; Kanzlei Schweiger & Partner,
Karl-Theodor-Strasse 69, 80803 München (DE).

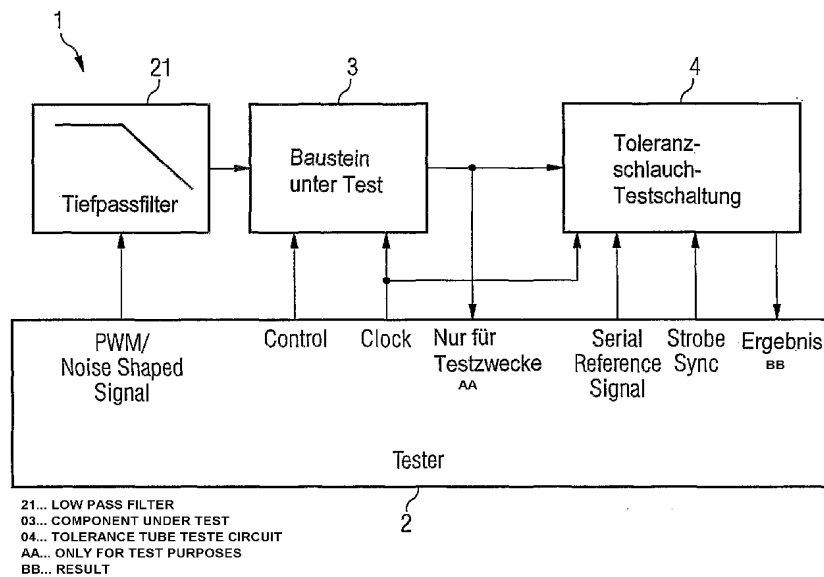
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,

[Fortsetzung auf der nächsten Seite]

(54) Title: ELECTRICAL CIRCUIT AND METHOD FOR TESTING ELECTRONIC COMPONENTS

(54) Bezeichnung: ELEKTRISCHE SCHALTUNG SOWIE VERFAHREN ZUM TESTEN VON ELEKTRONISCHEN BAUTEILEN



(57) Abstract: Disclosed is an electrical test circuit (5) comprising a first input (51) for receiving a test signal of an integrated circuit (4), a second input (52) for receiving a control signal, and a third input (53) for receiving a normalized reference signal which is configured particularly in step with the test signal. The deviation and/or the amplitude and/or the phase of the reference signal and/or the test signal can be modified by means of a regulating device (55) of the electrical test circuit (5). A measuring device (56) generates a differential signal by subtracting the reference signal from the test signal, said differential signal being output via an output (54).

[Fortsetzung auf der nächsten Seite]

WO 2005/008896 A1



ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

(57) Zusammenfassung: Die elektrische Testschaltung (5) umfasst einen ersten Eingang (51) zum Empfang eines Testsignals eines integrierten Schaltkreises (4), einen zweiten Eingang (52) zum Empfang eines Kontrollsignals und einen dritten Eingang (53) zum Empfang eines normierten, insbesondere synchron zum Testsignal ausgebildeten Referenzsignals. Mit einer Regeleinrichtung (55) der elektrischen Testschaltung (5) können die Abweichung und/oder die Amplitude und/oder die Phase des Referenzsignals und/oder des Testsignals verändert werden. Durch eine Messeinrichtung (56) wird durch Subtraktion des Referenzsignals vom Testsignal ein Differenzsignal erzeugt, das über einen Ausgang (54) ausgegeben wird.

Beschreibung

Elektrische Schaltung sowie Verfahren zum Testen von elektronischen Bauteilen

5

Die Erfindung betrifft eine elektrische Schaltung sowie ein Verfahren zum Testen von elektronischen Bauteilen.

Beim Testen von elektronischen Bauteilen kommen häufig Tester
10 zum Einsatz, die mit den zu testenden elektronischen Bauteilen
bestückt werden. Diese Tester erzeugen ein wellenförmiges
Testsignal, das an das jeweils zu testende elektronische Bauteil
angelegt wird. Das elektronische Bauteil erzeugt in Abhängigkeit
dieses Eingangssignals eine dynamische digitale
15 Antwort in Form eines Datensatzes, die auf verschiedene Weisen
überprüft werden kann.

Eine Möglichkeit der Auswertung dieses Datensatzes stellt die
Auswertung im Frequenzbereich bspw. mittels einer Fourier-
20 Transformation dar. Diese Auswertung ist jedoch sehr rechen-
aufwendig und kann deshalb nicht während der Laufzeit des
Tests ausgeführt werden.

Eine weitere Möglichkeit der Auswertung des durch das elektro-
25 nische Bauteil erzeugten Datensatzes stellt die Auswertung im
Zeitbereich dar.

Ein hierbei denkbare Auswerteverfahren stellt das Rechenver-
fahren des Sine Wave Fitting dar. Auch für das Sine Wave Fit-
30 ting-Verfahren ist ein erheblicher Rechenaufwand erforderlich.
Die erfassten Daten können ebenfalls nicht während der Laufzeit
ausgewertet werden. Anstelle dessen muss der gesamte Da-

tensatz zunächst erfasst und dann einer Post Processing-Einheit zugeführt werden. Damit sind eine lange Messzeit und hohe Messkosten verbunden.

5 Eine alternative Auswertemethode im Zeitbereich stellt der Einsatz von digitalen Filtern dar, deren Komplexität jedoch verhältnismäßig hoch ist. Der Einsatz solcher digitaler Filter bedingt hohe Schaltungsflächen. Oft ist die für die digitalen Filter benötigte Schaltungsfläche größer als die Schaltungs-
10 fläche für die zu testenden elektronischen Bauteile.

Es ist Aufgabe der vorliegenden Erfindung, eine elektrische Schaltung sowie ein Verfahren bereitzustellen, mit der bzw. mit dem eine zuverlässige und genaue Messung und Auswertung
15 der von einem zu testenden elektronischen Bauteil gelieferten Daten im Zeitbereich wirtschaftlich und mit nur geringem Rechenaufwand ermöglicht wird.

Diese Aufgabe wird mit dem Gegenstand der unabhängigen Patent-
20 ansprüche gelöst. Vorteilhafte Ausgestaltungen ergeben sich aus den jeweiligen Unteransprüchen.

Die Erfindung betrifft eine elektrische Testschaltung zum Testen von integrierten Schaltkreisen. Mit der erfindungsgemäßen
25 Testschaltung können prinzipiell beliebige integrierte Schaltkreise getestet werden, besonders gut eignet sie sich aber zum Testen von dynamischen Analog-Digital-Wandlern bzw. AD-Wandlern und von Sigma-Delta-Wandlern.

30 Über einen ersten Eingang kann die erfindungsgemäße Testschaltung ein Testsignal eines zu testenden integrierten Schaltkreises, über einen zweiten Eingang ein Kontrollsignal und

über einen dritten Eingang ein normiertes, insbesondere synchron zum Testschaltung ausgebildetes Referenzsignal empfangen. Ein solches normiertes ideales Referenzsignal kann mit nur geringem Aufwand von einem gängigen, bei einem Test von integrierten Schaltkreisen zum Einsatz kommenden Tester erzeugt werden.

Die erfindungsgemäße Testschaltung umfasst auch eine Regeleinrichtung, welche die Abweichung, die Amplitude und die Phase des Referenzsignals oder des Testsignals präzise einstellen kann. Diese Regeleinrichtung ist dabei insbesondere als Regelkreis ausgebildet, der sich deutlich einfacher und kostengünstiger herstellen lässt als ein digitaler Filter höherer Ordnung. Dabei können bspw. die Abweichung vom Nullwert bzw. der Offset, die Amplitude und die Phase des Referenzsignals angepasst werden. Es ist ebenfalls möglich, das Testsignal hinsichtlich seiner Abweichung und das Referenzsignal hinsichtlich seiner Amplitude und seiner Phase zu korrigieren.

Weiterhin verfügt die erfindungsgemäße Testschaltung über eine Messeinrichtung, mit der das Referenzsignal vom Testsignal derart subtrahiert werden kann, dass ein Differenzsignal entsteht, das im wesentlichen dem Rauschanteil des Testsignals entspricht. Mittels des Referenzsignals kann die elektrische Testschaltung den Ton im Testsignal vollständig entfernen, ohne die Amplitude des enthaltenen Rauschsignals zu beeinflussen. Diese Subtraktion kann erfindungsgemäß während der Laufzeit erfolgen.

Aus dem verbleibenden Rauschanteil des Testsignals des getesteten integrierten Schaltkreises können bestimmte Güteparameter erzeugt werden. Bei solchen Güteparametern kann es sich um

die Standardabweichung des Testsignals, um die Abweichung des Testsignals und um die Amplitude des Testsignals handeln. Durch das Vorsehen mehrerer verschiedener Güteparameter können zuverlässige Aussagen über die Funktionalität eines integrier-

5 ten Schaltkreises getroffen werden.

Gemäß einem Grundgedanken der Erfindung können durch die erfindungsgemäße elektrische Testschaltung Signal und Rauschen des getesteten integrierten Schaltkreises im Zeitbereich ohne

10 aufwändige mathematische Rechenverfahren getrennt werden. Aufwändige Frequenzbereichsauswertungen können dabei gänzlich vermieden werden. Auch auf die äußerst rechenzeitintensive und daher nicht "at speed" durchführbare Fourier-Transformation kann verzichtet werden. Unter "at speed" wird dabei die Aus-

15 wertung bereits während der Durchführung des eigentlichen Tests verstanden.

Gemäß einem weiteren Grundgedanken der Erfindung können aus dem gebildeten Differenzsignal und aus den erzeugten Güteparametern verschiedene Größen berechnet werden, die ein Maß für

20 die Funktionstüchtigkeit des getesteten integrierten Schaltkreises darstellen. Dabei handelt es sich um das Verhältnis zwischen dem Signal und dem Rauschanteil bzw. Signal to Noise Ratio SNR des Testsignals, um das Verhältnis zwischen dem Sig-

25 nal und dem Rausch- sowie Verzerrungsanteil bzw. Signal to Noise and Distortion Ratio des Testsignals SNDR, um den nicht bereinigten Gesamtfehler, bzw. Total Unadjusted Error TUE des Testsignals und um den bereinigten Gesamtfehler bzw. Total Ad-

30 justed Error TAE des Testsignals. Das Bestimmen dieser Parameter ist dabei bereits während der Durchführung des Tests möglich.

Ein weiterer Vorteil der elektrischen Testschaltung besteht darin, dass sie auf einer nur geringen Schaltungsfläche realisiert werden kann und bspw. nur einen Bruchteil der Schaltungsfläche eines dynamischen AD-Wandlers in Anspruch nimmt.

- 5 Die elektrische Testschaltung ist daher sehr wirtschaftlich und kostengünstig, denn sie weist eine deutlich geringere Schaltungsfläche als die Schaltungsfläche eines eingebauten Selbsttests auf, der bei der Sine Wave Fitting-Methode oder bei dem Einsatz von digitalen Filtern aufgewendet werden muss.
- 10 Auch im Hinblick auf die Testzeit ist die elektrische Testschaltung gegenüber der konventionellen Erfassung und Auswertung von Testdaten an einem Tester deutlich im Vorteil.

- Die erfindungsgemäße Testschaltung ist auch für Low-Cost-Tester geeignet, bei denen das Testsignal und das Referenzsignal nur in digitaler Form erzeugt werden können. Dabei werden das Differenzsignal und die Güteparameter durch die elektrische Testschaltung auch in digitaler Form zur Verfügung gestellt.

- 20 Gemäß einer vorteilhaften Weiterbildung der erfindungsgemäßen Testschaltung umfasst die Regeleinrichtung eine Kontrollschleifenschaltung, welche die Abweichung des Testsignals vom Referenzsignal kontinuierlich nachregelt. Dabei ist die Kontrollschleifenschaltung so ausgebildet, dass ein abweichungs-
- 25 korrigiertes Testsignal erzeugt wird, indem die Differenzwerte zwischen der Abweichung des Testsignals und des Referenzsignals aufsummiert werden und indem das Testsignal mit diesem aufsummierten Differenzwert korrigiert wird. Durch das Vorsehen einer solchen Kontrollschleifenschaltung können sehr ge-
- 30 naue Messergebnisse erzielt werden.

Gemäß einer weiteren Ausführungsform der Erfindung verfügt die Regeleinrichtung über eine Amplitudenkorrekturschaltung, mit der die Amplitude des Referenzsignals an die Amplitude des Testsignals angeglichen werden kann. Die Amplitudenkorrektur-
5 schaltung erzeugt dabei ein amplitudenkorrigiertes Referenzsignal, indem zunächst der Absolutwert des abweichungskorrigierten Testsignals bestimmt und aufsummiert wird und indem das Referenzsignal mit diesem aufsummierten Absolutwert des abweichungskorrigierten Testsignals korrigiert, insbesondere
10 multipliziert wird. Dadurch lässt sich die Genauigkeit der erhaltenen Testergebnisse noch verbessern.

Besonders vorteilhaft ist es, wenn die Kontrollschleifenschaltung und die Amplitudenkorrekturschaltung die Abweichung bzw.
15 die Amplitude kontinuierlich nachregeln.

Wenn die Regeleinrichtung des weiteren eine Phasenverschiebungsschaltung umfasst, so kann die Phase des Referenzsignals sehr genau an die Phase des Testsignals angepasst werden. Da-
20 durch lässt sich die Qualität der erzielten Messergebnisse noch weiter steigern.

Eine solche Phasenverschiebungsschaltung kann bspw. ein Schieberegister, einen Decoder, wenigstens einen Bustreiber und we-
25 nigstens einen D-Flip-Flop aufweisen. Für die Genauigkeit der erzielten Messergebnisse ist es bereits ausreichend, wenn die Phasenverschiebungsschaltung in der Lage ist, die Phase des Referenzsignals bis zu einer halben Signalperiode zu verschieben.

30

Eine erfindungsgemäße Testschaltung, bei der die Messeinrichtung so ausgebildet ist, dass sie die Betragsquadrate der Dif-

ferenzwerte zwischen dem abweichungskorrigierten Testsignal und dem amplituden- und phasenkorrigierten Referenzsignal aufsummierem oder die Minimal- und die Maximalwerte der Differenzwerte zwischen dem abweichungskorrigierten Testsignal und dem amplituden- und phasenkorrigierten Referenzsignal speichern kann, weist bereits eine hohe Messfunktionalität auf. Zur Berechnung der Standardabweichung kann dabei vorteilhafterweise auf die bereits berechneten oder gemerkten Werte zurückgegriffen werden.

Eine besonders genaue Einstellung der Phase des Referenzsignals kann dann erreicht werden, wenn diese Phase durch die Phasenverschiebungsschaltung bezüglich dem Minimum der ermittelten Standardabweichung eingestellt werden kann.

Die Erfindung betrifft auch eine elektrische Phasenverschiebungsschaltung zum Korrigieren der Phase eines Referenzsignals bezüglich eines Testsignals eines integrierten Schaltkreises, insbesondere eines AD-Wandlers oder eines Sigma-Delta-Wandlers. Eine solche Phasenverschiebungsschaltung weist einen ersten Eingang zum Empfang eines Referenzsignals und einen zweiten Eingang zum Empfang eines Taktpulssignals von einem Tester auf. Des weiteren verfügt eine solche Phasenverschiebungsschaltung über wenigstens einen Bustreiber, der mit wenigstens einem zur Phasenverschiebung des Referenzsignals vorgesehenen D-Flip-Flop verbunden ist. Ein Schieberegister und ein mit dem Schieberegister verbundenes Auswahlelement, insbesondere ein Decoder, steuert in Abhängigkeit der im Schieberegister gespeicherten Daten jeweils einen dieser Bustreiber an. Über einen mit den Bustreibern verbundenen ersten Ausgang kann das phasenverschobene Referenzsignal und über einen zweiten Ausgang kann ein Kontrollsignal ausgesendet werden.

Eine erfindungsgemäße elektrische Schaltung zum Toleranz-
schlauchtest von integrierten Schaltkreisen, insbesondere von
dynamischen AD-Wandlern, umfasst eine vorstehend beschriebene
5 elektrische Testschaltung sowie eine vorstehend beschriebene
elektrische Phasenverschiebungsschaltung. Dabei sind der erste
Ausgang der elektrischen Phasenverschiebungsschaltung mit dem
dritten Eingang der elektrischen Testschaltung und der zweite
Ausgang der elektrischen Phasenverschiebungsschaltung mit dem
10 zweiten Eingang der elektrischen Testschaltung verbunden. Mit
einer solchen elektrischen Schaltung können die obengenannten
Güteparameter effektiv at speed im Zeitbereich berechnet wer-
den, wobei das Test- oder das Referenzsignal abweichungs-,
amplituden- und phasenkorrigiert werden. Dadurch ergeben sich
15 besonders genaue Messergebnisse.

Die Erfindung betrifft auch einen integrierten Schaltkreis,
auf dem wenigstens eine der vorstehend beschriebenen Schaltun-
gen, nämlich die elektrische Testschaltung oder die elektri-
20 sche Phasenverschiebungsschaltung, insbesondere zusätzlich zur
normalen Schaltung als add on enthalten ist.

Die Erfindung betrifft auch eine Nadelkarte zum Testen von in-
tegrierten Schaltkreisen, bei der eine vorstehend beschriebene
25 Schaltung integriert ist.

Die Erfindung betrifft weiterhin ein testerspezifisches load-
board mit Testfassungen zum Einstecken von integrierten
Schaltkreisen oder zur Aufnahme einer solchen Nadelkarte oder
30 zum Anschluss eines Handlers, wobei auf dem loadboard wenigst-
ens eine vorstehend beschriebene elektrische Schaltung inte-

griert ist. Ein solches loadboard kann auch als Adapterboard bezeichnet werden.

Die Erfindung betrifft ferner ein Messgerät bzw. einen Tester
5 mit Mess-Sensoren, bspw. für Ströme und für Spannungen und mit Instrumenten zur Erzeugung von digitalen Signalen oder Datenströmen. Dabei ist auf dem Messgerät wenigstens eine vorstehend beschriebene elektrische Schaltung enthalten.

10 Wenn der Tester zusätzlich über einen Tiefpassfilter verfügt, so können auch ausschließlich mit digitalen Daten arbeitende Low-Cost-Tester eingesetzt werden. Der Tiefpassfilter wandelt das vom Tester empfangene digitale Signal bzw. den digitalen Datenstrom in ein analoges Signal um und legt dieses Signal an
15 den zu testenden integrierten Schaltkreis an.

Eine vorstehend beschriebene elektrische Schaltung kann auch auf einem Tester ausgebildet werden, der analoge Signale direkt erzeugen und an einen integrierten Schaltkreis anlegen
20 kann.

Gemäß einem weiteren Grundgedanken der Erfindung kann die erfindungsgemäße elektrische Schaltung in allen vorstehend beschriebenen Ausführungsformen einfach und sehr platzsparend
25 auf allen möglichen Schaltungen oder Geräten in jeder Abstraktionsebene bzw. auf jeder Messgeräteebene vorgesehen werden. Beeinträchtigungen der Funktionsweise ergeben sich dabei nicht. Die konkrete Ausgestaltung der vorstehend beschriebenen Gegenstände mit einer der vorstehend beschriebenen elektri-
30 schen Schaltungen ergibt sich für den Fachmann vollständig und eindeutig aus den in dieser Patentschrift enthaltenen Information sowie aus seinem Fachwissen. Dabei ist lediglich zu be-

achten, dass die elektrische Schaltung jeweils zusätzlich zu den auf den vorstehend genannten Gegenständen enthaltenen Schaltungen aufzubringen ist.

5 Die Erfindung betrifft weiterhin ein Verfahren zum Testen eines integrierten Schaltkreises. Dabei wird zunächst ein Tester mit einem integrierten Schaltkreis bestückt und der integrierte Schaltkreis danach mit Strom- und Spannungswerten beaufschlagt. Gleichzeitig wird durch den Tester ein Referenzsignal
10 erzeugt, das dem idealen Ausgabesignal des integrierten Schaltkreises entspricht. Dann wird die Phase des Referenzsignals verschoben, und zwar so, dass das Referenzsignal und das Testsignal des integrierten Schaltkreises im wesentlichen synchron verlaufen. Anschließend werden die Amplitude des Referenzsignals an die Amplitude des Testsignals und die Abwei-
15 chung des Testsignals an das Referenzsignal angepasst. Im nächsten Schritt wird ein Referenzsignal gebildet, indem das Referenzsignal vom Testsignal subtrahiert wird. Das Differenzsignal wird anschließend entweder durch die elektrische Test-
20 schaltung und/oder durch den Tester ausgewertet.

Durch dieses erfindungsgemäße Verfahren lassen sich integrierte Schaltkreise mit nur geringem Rechenaufwand schon während des eigentlichen Tests auswerten. Die Phasen-, die Amplituden-
25 und die Abweichungskorrektur sowie das Bilden des Differenzsignals können dabei mit einer vorstehend beschriebenen elektrischen Testschaltung und mit einer vorstehend beschriebenen elektrischen Phasenverschiebungsschaltung durchgeführt werden.

30 Wenn durch die elektrische Testschaltung oder durch den Tester ein bereits vorstehend beschriebener Gütewert gebildet wird, so lässt sich daran bereits unmittelbar die Funktionstüchtig-

keit des getesteten integrierten Schaltkreises ablesen. Noch präzisere Aussagen über die Funktionstüchtigkeit des getesteten integrierten Schaltkreises lassen sich treffen, wenn durch die elektrische Testschaltung oder durch den Tester die bereits vorstehend beschriebenen SNR, SNDR, TUE oder TAE ermittelt werden. Das Beaufschlagen des integrierten Schaltkreises kann dabei mit analogen Strom- und Spannungswerten erfolgen. Das erfindungsgemäße Verfahren eignet sich besonders gut zum Testen von dynamischen AD-Wandlern und von Sigma-Delta-Wandlern, ist aber ausdrücklich nicht auf diese integrierten Schaltkreise beschränkt.

Der Tester kann zusätzlich eine Umwandlungseinheit, insbesondere einen Tiefpassfilter beinhalten, der vom Tester generierte digitale Daten in analoge Strom- und Spannungswerte umwandelt und an den integrierten Schaltkreis anlegt. In diesem Fall können übliche, rein digital arbeitende Low-Cost-Tester für das erfindungsgemäße Verfahren verwendet werden.

Die Erfindung wird auch in einem Computerprogramm zum Ausführen des Verfahrens zum Testen eines integrierten Schaltkreises verwirklicht. Das Computerprogramm enthält dabei Programmanweisungen, die ein Computersystem veranlassen, solche Verfahren einer vorstehend beschriebenen Ausführungsform auszuführen. Dabei werden insbesondere die Verfahrensschritte beginnend mit dem Verfahrensschritt des Beaufschlagens des integrierten Schaltkreises mit Strom- und Spannungswerten durch den Tester mit einem Computersystem gesteuert oder auf einem Computersystem selbst durchgeführt. Das Computerprogramm gibt als Ergebnis die Gütewerte und/oder die Variablen SNR, SNDR, TUE und TAE auf einer Ausgabeeinheit aus, insbesondere auf einem Bildschirm oder auf einem Drucker. Durch das erfindungsgemäße

Computerprogramm können integrierte Schaltkreise schnell, effektiv und zuverlässig getestet werden.

Die Erfindung betrifft außerdem ein Computerprogramm, das auf
5 einem Speichermedium, insbesondere in einem Computerspeicher
oder in einem Direkt-Zugriffsspeicher enthalten ist oder das
auf einem elektrischen Trägersignal übertragen wird. Die Er-
findung betrifft auch ein Trägermedium, insbesondere einen Da-
tenträger, wie bspw. eine Diskette, ein Zip-Laufwerk, einen
10 Streamer, eine CD oder eine DVD, auf denen ein vorstehend be-
schriebenes Computerprogramm abgelegt ist. Ferner betrifft die
Erfindung ein Computersystem, auf dem ein solches Computerpro-
gramm gespeichert ist. Schließlich betrifft die Erfindung auch
ein Download-Verfahren, bei dem ein solches Computerprogramm
15 aus einem elektronischen Datennetz, wie bspw. aus dem Inter-
net, auf einen an das Datennetz angeschlossenen Computer her-
untergeladen wird.

Die Erfindung ist in den Zeichnungen anhand eines Ausführungs-
20 beispiels näher veranschaulicht.

Figur 1 zeigt eine schematische Darstellung eines Testauf-
baus mit einem Tester, mit einem Tiefpassfilter, mit
einem Analog-Digital-Wandler und mit einer Toleranz-
25 schlauch-Testschaltung,
Figur 2 zeigt einen Schaltplan einer Testschaltung der Tole-
ranzschlauch-Testschaltung,
Figur 3 zeigt einen Schaltplan einer Phasenverschiebungs-
schaltung der Toleranzschlauch-Testschaltung und
30 Figur 4 zeigt ein Diagramm eines mit dem Testaufbau aus Fi-
gur 1 ermittelten Simulationsergebnisses des AD-
Wandlers aus Figur 1.

Figur 1 zeigt eine schematische Darstellung eines Testaufbaus 1 mit einem Tester 2, mit einem Tiefpassfilter 21, mit einem Analog-Digital-Wandler 3 und mit einer Toleranzschlauch-Testschaltung 4.

Bei dem Tester 2 handelt es sich um einen üblichen digitalen Tester, der einen digitalen Datenstrom erzeugt und diesen über den in Figur 1 mit "PWM/Noise Shaped Signal" bezeichneten Ausgang an den Tiefpassfilter 21 überträgt. Über den mit "Control" bezeichneten Ausgang werden Kontrolldaten an den zu testenden Analog-Digital-Wandler 3 bzw. AD-Wandler 3 ausgesendet. Der mit "clock" bezeichnete Ausgang des Testers 2 stellt den Taktgeber für den AD-Wandler 3 und für die Toleranzschlauch-Testschaltung 4 dar.

Über den mit "Serial Reference Signal" bezeichneten Ausgang des Testers 2 wird ein vom Tester 2 errechnetes ideales Referenzsignal an die Toleranzschlauch-Testschaltung 4 gesendet. Diese Datenleitung wird auch als Referenzsignalleitung bezeichnet. Das Referenzsignal wird vom Tester 2 ermittelt, indem das vom AD-Wandler 3 in Abhängigkeit des jeweils am Ausgang "PWM/Noise Shaped Signal" angelegten digitalen Datenstroms zu generierende ideale Ausgangssignal vorausberechnet wird. Über die Referenzsignalleitung legt der Tester 2 einen Bitstrom an die Toleranzschlauch-Testschaltung 4 an, der das Referenzsignal sowie Kontrollinformationen für die Toleranzschlauch-Testschaltung 4 umfasst.

Über den mit der Bezeichnung "Strobe Sync" versehenen Ausgang des Testers 2 kann ein "Strobe" bzw. ein Taktpuls an die Toleranzschlauch-Testschaltung 4 übertragen werden. Diese Daten-

leitung wird auch als "Strobe-Synchronisation"-Datenleitung bezeichnet.

Der Tiefpassfilter 21 formt den vom Tester 2 empfangenen digitalen Datenstrom in ein analoges Signal um und schneidet dabei das Rauschen ab. Mit diesem analogen Signal wird der AD-Wandler 3 beaufschlagt, der in Abhängigkeit dieses analogen Eingangssignals ein im Folgenden als Testsignal bezeichnetes Ausgangssignal liefert. Dieses Testsignal wird sowohl dem Tester 2 als auch der Toleranzschlauch-Testschaltung 4 zugeleitet.

Die Toleranzschlauch-Testschaltung 4 erzeugt aus diesem Testsignal einen Ergebniswert, der schließlich dem Tester 2 zur weiteren Auswertung zur Verfügung gestellt wird. Über die Ergebnis-Datenleitung können die Abweichung, die Amplitude und die Standardabweichung in einem Bitstrom von dem Tester 2 wieder ausgelesen werden.

Die Toleranzschlauch-Testschaltung 4 ist im vorliegenden Ausführungsbeispiel auf dem Tester 2 ausgebildet. Die Schnittstelle zwischen dem Tester 2 und der Toleranzschlauch-Testschaltung 4 umfasst nur vier Datenleitungen, wobei für den Test des AD-Wandlers 3 auf die "Clock"-Datenleitung und auf die "Strobe-Synchronisation"-Datenleitung zurückgegriffen werden kann.

Die Komplexität der gesamten Toleranzschlauch-Testschaltung 4 beträgt nur ungefähr 1000 Gates bzw. Gatter.

Figur 2 zeigt einen Schaltplan einer Testschaltung 5 und Figur 3 zeigt einen Schaltplan einer Phasenverschiebungsschaltung 6.

- 5 Die Testschaltung 5 sowie die Phasenverschiebungsschaltung 6 bilden dabei zusammen die in Figur 1 gezeigte Toleranzschlauch-Testschaltung 4.

Die Testschaltung 5 gliedert sich in eine Regelschaltung 55,
10 die in Figur 2 die linke Hälfte der Testschaltung 5 bildet, und in eine Mess-Schaltung 56, die in Figur 2 die rechte Hälfte der Testschaltung 5 bildet.

Über einen Testsignaleingang 51 gelangt das Testsignal des AD-
15 Wandlers 3 in die Testschaltung 5. Über einen Kontrollsignaleingang 52 gelangt ein Kontrollsignal von der Phasenverschiebungsschaltung 6 zu dem Kontrollelement 507 "Offset/Output Select SR". Ein erster Referenzsignaleingang 53 führt das Referenzsignal von der Phasenverschiebungsschaltung 6 zu der Test-
20 schaltung 5.

Die Regelschaltung 55 umfasst eine Kontrollschleifenschaltung mit einem ersten Subtrahierer 501, mit einem ersten Multiplexer 502, mit einem ersten Summierer 503, mit einem ersten
25 Speicher 504, mit einem zweiten Summierer 505, mit einem zweiten Speicher 506 und mit dem Kontrollelement 507. Der erste Subtrahierer 501 subtrahiert die Abweichung vom Nullwert bzw. den Offset vom Testsignal.

30 Diese Abweichung wird vom ersten Summierer 503, vom ersten Speicher 504, vom zweiten Summierer 505 und vom zweiten Spei-

cher 506 gebildet. Dabei werden die Differenzwerte zwischen der aktuellen und der gegebenen Abweichung aufsummiert.

Diese aufsummierten Differenzwerte werden dann von dem durch
5 das Kontrollelement 507 gesteuerten ersten Multiplexer 502, an den ersten Subtrahierer 501 geleitet. Nach einer Testperiode, wenn das Testsignal die Kontrollschleifenschaltung mit einer bestimmten Anzahl durchlaufen hat, wird die gegebene Abweichung des Testsignals durch Addition dieses Differenzwerts
10 korrigiert.

Durch die Kontrollschleifenschaltung werden dementsprechend Mittelwerte des Testsignals über die Zeit gebildet. Durch Subtrahieren dieser Mittelwerte wird die Abweichung des am Test-
15 signaleingang 51 anliegenden Testsignals kalibriert.

Der erste Multiplexer 502 sowie alle weiteren nachfolgend genannten Multiplexer können auch als Gatter bzw. als Tor ausgebildet sein, das die Leitung zu dem jeweils nachgeordneten
20 Schaltungselement öffnen und schließen kann.

Die Regelschaltung 55 sieht weiterhin eine Amplitudenkorrekturschaltung vor, mit der die Amplitude des über den ersten Referenzsignaleingang 53 in die Regelschaltung 55 gelangenden
25 Referenzsignals an die Amplitude des am Testsignaleingang 51 anliegenden Testsignals angepasst werden kann. Die Amplitudenkorrekturschaltung umfasst einen Absolutwerterzeuger 508, einen dritten Summierer 509, einen dritten Speicher 510, einen zweiten Multiplexer 511, einen ersten Multiplizierer 512 sowie
30 das Kontrollelement 507. Eine Kontrollschleife ist dabei nicht vorgesehen.

Der Absolutwerterzeuger 508 bildet den Absolutwert des Testsignals. Über den Absolutwert werden dann durch den dritten Summierer 509 alle Summen gebildet. Daraus ergibt sich die Amplitude, die einem Effektivwert entspricht. Dieser errechnete Amplitudenwert wird im dritten Speicher 510 abgelegt und mittels des ersten Multiplizierers 512 mit dem Referenzsignal multipliziert. Das derart amplitudenkorrigierte Referenzsignal weist nun die gleiche Amplitude auf wie das Testsignal. Auf diese Weise wird kein Korrekturfaktor benötigt, zumal die Größe des Referenzsignals ausgewählt werden kann. Der zweite Multiplexer 511 der Amplitudenkorrekturschaltung wird ebenso wie der erste Multiplexer 502 der Kontrollschleifenschaltung durch das Kontrollelement 507 gesteuert.

In der Amplitudenkorrekturschaltung wird demnach der Absolutwert der Differenz in einem großen Addierer aufsummiert. Dabei kann das MSB in Form eines Zählers inkrementiert werden. Nach einer Testperiode enthält das MSB direkt die Amplitude.

Die Genauigkeit der Abweichung und des Referenzsignals ist größer ausgebildet als die Auflösung des AD-Wandlers 3. Die notwendige Genauigkeit kann mittels der vorliegenden Testschaltung 5 während des Designs bzw. der Entwurfsphase durch Simulation geschätzt werden.

Das derart amplitudenkorrigierte Referenzsignal wird mittels eines zweiten Subtrahierers 513 von dem abweichungskorrigierten Testsignal subtrahiert. Dabei handelt es sich um eine Form der Verstärkungs- bzw. Gain-Korrektur. Nach der von dem zweiten Subtrahierer 513 vorgenommenen Subtraktion verbleibt ein abweichungs- und verstärkungskorrigiertes Signal, das dem Rausch- bzw. Noise-Anteil des ursprünglichen Testsignals ent-

spricht. Dabei wurde der Ton des Testsignals vollständig entfernt, ohne dass die Amplitude des enthaltenen Rauschsignals beeinflusst worden ist. Dieses abweichungs- und verstärkungs-korrigierte Signal wird nachfolgend von der Mess-Schaltung 56
5 verarbeitet.

Dabei ist zunächst ein zweiter Multiplizierer 514 vorgesehen, der dieses Signal mit sich selbst multipliziert. Anschließend wird dieses Signal durch einen vierten Summierer 515 aufsum-
10 miert. Dadurch ergibt sich das Betragsquadrat des ursprünglichen Signals. Der erste Multiplizierer 512 sowie der zweite Multiplizierer 514 können in Form eines Addierers und eines Schieberegisters vorgesehen werden, denn die "Clock"-Frequenz ist deutlich höher ausgebildet als die "Strobe"-Frequenz. Das
15 Referenzsignal ist im vorliegenden Ausführungsbeispiel um den Faktor 24 langsamer als das Signal der "Clock" ausgebildet.

Im parallel dazu vom Signal durchlaufenen Extremwertmerker 516 werden jeweils der Minimal- und der Maximalwert von allen ab-
20 weichungs- und verstärkungskorrigierten Testsignalen gespeichert.

In einem vom Kontrollelement 507 gesteuerten dritten Multiplexer 517 wird eine Auswahl aus dem Betragsquadrat, aus dem Minimalwert und aus dem Maximalwert des abweichungs- und verstärkungskorrigierten Signals getroffen. Im einem nun folgenden Standardabweichungserzeuger 518 wird aus dem jeweils selektierten Wert die Standardabweichung gebildet. Im einem danach angeordneten vierten Multiplexer 519, der ebenfalls vom
30 Kontrollelement 507 gesteuert wird, wird ein Wert aus der gebildeten Standardabweichung, aus dem gebildeten Wert der Kontrollschleifenschaltung und aus dem gebildeten Wert der Ampli-

tudenkorrekturschaltung selektiert. Dieser im vierten Multiplexer 519 ausgewählte Wert wird daraufhin im vierten Speicher 520 abgelegt und über den Signalausgang 54 ausgegeben sowie für die weitere Verarbeitung insbesondere durch den Tester 2 zur Verfügung gestellt.

Die Abweichung des Testsignals wird durch die Kontrollschleifenschaltung, und die Amplitude des Referenzsignals wird durch die Amplitudenkorrekturschaltung kontinuierlich nachgeregelt.

Die Phasenverschiebungsschaltung 6 verfügt über einen zweiten Referenzsignaleingang 61, der mit dem in Figur 1 zu sehenden Ausgang "Serial Reference Signal" des Testers 2 verbunden ist. Weiterhin verfügt die Phasenverschiebungsschaltung 6 über einen Taktpulseingang 62, der mit dem Ausgang "Strobe Sync" des Testers 2 in Verbindung steht. Die Phasenverschiebungsschaltung 6 verfügt über insgesamt acht in Serie hintereinander geschaltete D-Flip-Flops 604, die ein komplettes Wort ergeben. Jeder dieser D-Flip-Flops 604 ist jeweils mit einem Bustreiber 603 verbunden, über den der jeweilige D-Flip-Flop angesteuert werden kann. Diese D-Flip-Flops 604 gliedern sich in ungerade und in gerade D-Flip-Flops.

Des weiteren verfügt die Phasenverschiebungsschaltung 6 über ein Schieberegister 601 "Phase Select SR", in dem die Information über die auszuführende Phasenverschiebung sowie die Auswahl, welche Phase gerade aktiv ist, enthalten ist. Dieses Schieberegister 601 wird vom Tester 2 einmal angesteuert, um den idealen Wert für die vorzunehmende Phasenverschiebung hereinzuschreiben. Es wird daher ein vollständiges Sampleintervall benötigt, um einen Regelzyklus durchzuführen. Danach erfolgt immer die gleiche Phasenverschiebung. Für einen aussage-

kräftigen Test müssen demnach wenigstens zwei Testzyklen ausgeführt werden.

Um diesen Wert für die Phasenverschiebung festzustellen, werden am Anfang des Testzyklus mehrere Werte untersucht, bis der ideale Wert ermittelt worden ist. Das in Figur 1 gut zu erkennende "Serial Reference Signal" umfasst sowohl das Referenzsignal, als auch Steuerinformationen für die Phasenverschiebung.

Des weiteren umfasst die Phasenverschiebungsschaltung 6 einen Decoder 602, der vom Schieberegister 601 angesteuert wird und je nach im Schieberegister 601 abgespeicherten Registerwert auswählt, welcher der Bustreiber 603 angesteuert wird. Durch die D-Flip-Flops 604 wird die am zweiten Referenzsignaleingang 61 anliegende Information mit jedem Takt um ein Flip-Flop weitergeschoben. Nach dem Durchlaufen der jeweils nötigen Anzahl der Flip-Flops 604 steht das Referenzsignal am Referenzsignalausgang 63 verzögert, aber sonst unverändert zur Verfügung. Der Referenzsignalausgang 63 ist direkt mit dem ersten Referenzsignaleingang 53 der Testschaltung 5 verbunden. Der vom Schieberegister 601 ausgehende Kontrollsignalausgang 64 ist mit dem Kontrollsignaleingang 52 der Testschaltung 5 verbunden.

Die Phasenlage des Referenzsignals hängt von der Justierung der Verzögerungsleitung sowie von dem jeweils verwendeten Tiefpassfilter 21 ab. Die Phasenlage ist dabei fest ausgebildet und wird nur zu Beginn des Testzyklus durch die Phasenverschiebungsschaltung 6 einmal kalibriert. Danach ist es nicht mehr notwendig, die Phase nachzuregeln. Daher ist die Phasen-

regelungsschaltung 6 nicht in der eigentlichen Mess-Schaltung 56 integriert.

Die Genauigkeit, mit der die Phase verschoben werden kann,
5 entspricht einem halben Testzyklus.

Mittels der Phasenverschiebungsschaltung 6 wird die Phasenverschiebung zwischen dem Testsignal und dem Referenzsignal kontrolliert. Diese Phase kann zwar durch das Testmuster kontrolliert werden. Aufgrund der Länge des Testmusters ist es aber
10 vorteilhaft, diese Phasenverschiebung durch die Toleranzschlauch-Testschaltung 4, insbesondere durch die Phasenverschiebungsschaltung 6 zu kontrollieren. Die ideale Phasenverschiebung kann aus der minimalen Standardabweichung des abweichungs- und verstärkungskorrigierten Testsignals ermittelt
15 werden.

Figur 4 zeigt ein Diagramm eines mit dem Testaufbau 1 ermittelten Simulationsergebnisses 7 des AD-Wandlers 3.

20

Dabei entsprechen die auf der x-Achse abgetragene Variable der Phasenverschiebung und die auf der y-Achse abgetragene Variable dem Verhältnis zwischen dem Signal sowie dem Rausch- und Verzerrungsanteil des Testsignals. Dies wird auch als SNDR
25 bzw. Signal to Noise and Distortion Ratio bezeichnet.

Das Simulationsergebnis 7 zeigt beispielhaft die Abhängigkeit des SNDR von der Phasenverschiebung des Referenzsignals. In Figur 4 ist gut zu sehen, dass sich die Phasenverschiebung des Referenzsignals stark auf den SNDR auswirkt. Eine Verschiebung
30 der Phase des Referenzsignals um 0,5, also um einen halben

Testzyklus reicht schon aus, um den SNDR mit hinreichender Genauigkeit zu ermitteln.

Patentansprüche

1. Elektrische Testschaltung zum Testen von integrierten Schaltkreisen, insbesondere von dynamischen AD-Wandlern, wobei die elektrische Testschaltung (5) die folgenden Merkmale aufweist:
- einen ersten Eingang (51), der zum Empfang eines Testsignals eines integrierten Schaltkreises (4) bestimmt ist,
 - einen zweiten Eingang (52), der zum Empfang eines Kontrollsignals bestimmt ist,
 - einen dritten Eingang (53), der zum Empfang eines normierten, insbesondere synchron zum Testsignal ausgebildeten Referenzsignals bestimmt ist,
 - eine Regeleinrichtung (55), die so ausgebildet ist, dass die Abweichung und/oder die Amplitude und/oder die Phase des Referenzsignals und/oder des Testsignals veränderbar ist bzw. sind,
 - eine Messeinrichtung (56), die so ausgebildet ist, dass ein Differenzsignal durch Subtraktion des Referenzsignals vom Testsignal erzeugbar ist,
 - einen Ausgang (54), der zur Ausgabe des Differenzsignals bestimmt ist.
2. Elektrische Testschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Messeinrichtung (55) so ausgebildet ist, dass aus dem Differenzsignal wenigstens ein Güteparameter erzeugbar ist, wobei der Ausgang (54) zur Ausgabe des Differenzsignals oder des Güteparameters bestimmt ist.

3. Elektrische Testschaltung nach Anspruch 2,
dadurch gekennzeichnet, dass
es sich bei dem Güteparameter um die Standardabweichung
des Testsignals und/oder um die Abweichung des Testsignals
5 und/oder um die Amplitude des Testsignals handelt.
4. Elektrische Testschaltung nach einem der Ansprüche 1
bis 3,
das Testsignal, das Referenzsignal, das Differenzsignal
10 und der bzw. die Güteparameter in digitaler Form vorlie-
gen.
5. Elektrische Testschaltung nach einem der Ansprüche 1
bis 4,
15 dadurch gekennzeichnet, dass
aus dem Differenzsignal und/oder aus dem Güteparamete-
ter das Verhältnis zwischen dem Signal und dem Rauschan-
teil (SNR) des Testsignals und/oder das Verhältnis zwi-
schen dem Signal und dem Rausch- und/oder Verzerrungsan-
20 teil (SNDR) des Testsignals, und/oder der nicht bereinigte
Gesamtfehler (TUE) des Testsignals und/oder der bereinigte
Gesamtfehler (TAE) errechenbar ist bzw. sind.
6. Elektrische Testschaltung nach einem der Ansprüche 1
25 bis 5,
dadurch gekennzeichnet, dass
die Regeleinrichtung (55) eine Kontrollschleifenschaltung
(501-507) aufweist, die zur Anpassung der Abweichung des
Testsignals vorgesehen ist, wobei die Kontrollschleifen-
30 schaltung (501-507) so ausgebildet ist, dass ein abwei-
chungskorrigiertes Testsignal erzeugbar ist, indem die
Differenzwerte zwischen der Abweichung des Testsignals und

des Referenzsignals aufsummierbar sind und indem das Testsignal durch Addition mit diesem aufsummierten Differenzwert korrigierbar ist.

- 5 7. Elektrische Testschaltung nach einem der Ansprüche 1 bis 6,
dadurch gekennzeichnet, dass
die Regeleinrichtung (55) eine Amplitudenkorrekturschaltung (507-511) aufweist, die zur Anpassung der Amplitude
10 des Referenzsignals an die Amplitude des Testsignals vorgesehen ist, wobei die Amplitudenkorrekturschaltung (507-511) so ausgebildet ist, dass ein amplitudenkorrigiertes Referenzsignal erzeugbar ist, indem durch die Amplitudenkorrekturschaltung der Absolutwert des abweichungskorrigierten Testsignals bestimmbar und aufsummierbar ist und
15 indem das Referenzsignal mit dem aufsummierten Absolutwert des abweichungskorrigierten Testsignals korrigierbar ist.
8. Elektrische Testschaltung nach einem der Ansprüche 1
20 bis 7,
dadurch gekennzeichnet, dass
die Regeleinrichtung (55) eine Phasenverschiebungsschaltung (6) umfasst, wobei die Phasenverschiebungsschaltung (6) so ausgebildet ist, dass die Phase des Referenzsignals
25 an die Phase des Testsignals anpassbar ist.
9. Elektrische Testschaltung nach Anspruch 8,
dadurch gekennzeichnet, dass
die Phasenverschiebungsschaltung (6) ein Schieberegister
30 (601), einen Decoder (602), wenigstens einen Bustreiber (603) und wenigstens einen D-Flip-Flop (604) aufweist.

10. Elektrische Testschaltung nach Anspruch 8 oder 9,
dadurch gekennzeichnet, dass
durch die Phasenverschiebungsschaltung (6) die Phase des
Referenzsignals bis zu einer halben Signalperiode ver-
schiebbar ist.

11. Elektrische Testschaltung nach einem der Ansprüche 1
bis 10,

dadurch gekennzeichnet, dass

durch die Messeinrichtung (56) die Betragsquadrate der
Differenzwerte zwischen dem abweichungskorrigierten Test-
signal und dem amplituden- und phasenkorrigierten Referenz-
signal aufsummierbar sind und/oder durch die Messein-
richtung (56) die Minimal- und die Maximalwerte der Diffe-
renzwerte zwischen dem abweichungskorrigierten Testsignal
und dem amplituden- und phasenkorrigierten Referenzsignal
speicherbar sind.

12. Elektrische Testschaltung nach Anspruch 11,

dadurch gekennzeichnet, dass

durch die Messeinrichtung (56) die Standardabweichung aus
dem Betragsquadrat der Differenzwerte zwischen dem abwei-
chungskorrigierten Testsignal und dem amplituden- und pha-
senkorrigierten Referenzsignal oder aus dem Minimalwert
der Differenzwerte zwischen dem abweichungskorrigierten
Testsignal und dem amplituden- und phasenkorrigierten Re-
ferenzsignal oder aus dem Maximalwert der Differenzwerte
zwischen dem abweichungskorrigierten Testsignal und dem
amplituden- und phasenkorrigierten Referenzsignal bere-
chenbar ist.

13. Elektrische Testschaltung nach Anspruch 11 oder 12,
dadurch gekennzeichnet, dass
durch die Phasenverschiebungsschaltung (6) die Phase des
Referenzsignals entsprechend dem Minimum der Standardab-
5 weichung einstellbar ist.

14. Elektrische Phasenverschiebungsschaltung zum Korrigieren
der Phase eines Referenzsignals bezüglich eines Testsig-
nals eines integrierten Schaltkreises, wobei die elektri-
10 sche Phasenverschiebungsschaltung (6) die folgenden Merk-
male aufweist:

- einen ersten Eingang (61), der zum Empfang eines Referenzsignals von einem Tester (2) bestimmt ist,
- einen zweiten Eingang (62), der zum Empfang eines Takt-
15 pulssignals von einem Tester (2) bestimmt ist,
- wenigstens einen Bustreiber (603), der mit wenigstens einem D-FlipFlop (604) verbunden ist,
- der bzw. die D-FlipFlops (604) sind zur Phasenverschiebung des Referenzsignals vorgesehen,
- 20 - ein Schieberegister (601) und ein mit dem Schieberegister (601) verbundenes Auswahlelement (602), insbesondere ein Decoder (602), das bzw. der so ausgebildet ist, dass in Abhängigkeit der im Schieberegister (601) gespeicherten Daten jeweils ein Bustreiber (603) ansteu-
25 erbar ist,
- einen mit den Bustreibern (603) verbundenen ersten Ausgang (63), der zum Aussenden des phasenverschobenen Referenzsignals bestimmt ist,
- einen zweiten Ausgang (64), der zum Aussenden eines
30 Kontrollsignals bestimmt ist.

15. Elektrische Schaltung zum Toleranzschlauchtest von integrierten Schaltkreisen, insbesondere von dynamischen AD-Wandlern, wobei die elektrische Schaltung (4) eine elektrische Testschaltung (5) nach einem der Ansprüche 1 bis 12
5 und eine elektrische Phasenverschiebungsschaltung (6) nach Anspruch 13 aufweist, wobei der erste Ausgang (63) der elektrischen Phasenverschiebungsschaltung (6) mit dem dritten Eingang (53) der elektrischen Testschaltung (5) und der zweite Ausgang (64) der elektrischen Phasenverschiebungsschaltung (6) mit dem zweiten Eingang (52) der elektrischen Testschaltung (5) verbunden sind.
10
16. Integrierter Schaltkreis mit einer elektrischen Testschaltung (5) nach einem der Ansprüche 1 bis 13 und/oder mit
15 einer elektrischen Phasenverschiebungsschaltung (6) nach Anspruch 13.
17. Nadelkarte zum Testen von integrierten Schaltkreisen, wobei die Nadelkarte eine elektrische Testschaltung (5) nach
20 einem der Ansprüche 1 bis 13 und/oder eine elektrische Phasenverschiebungsschaltung (6) nach Anspruch 14 aufweist.
18. Loadboard zur Aufnahme einer Nadelkarte zum Testen von integrierten Schaltkreisen und/oder mit einem oder mehreren
25 Testsockeln zum Testen von integrierten Schaltkreisen und/oder zum Anschluss eines Handlers an einen Tester von integrierten Schaltkreisen, wobei das Loadboard eine elektrische Testschaltung (5) nach einem der Ansprüche 1
30 bis 13 und/oder eine elektrische Phasenverschiebungsschaltung (6) nach Anspruch 14 aufweist.

19. Tester mit Mess-Sensoren, insbesondere für Ströme und Spannungen und mit Instrumenten zur Erzeugung von digitalen Signalen oder Datenströmen, wobei der Tester eine (2) elektrische Testschaltung (5) nach einem der Ansprüche 1 bis 13 und/oder eine elektrische Phasenverschiebungsschaltung (6) nach Anspruch 14 aufweist.
20. Tester nach Anspruch 19, dadurch gekennzeichnet, dass ein Tiefpassfilter (21) vorgesehen ist, der so ausgebildet ist, dass das vom Tiefpassfilter (21) empfangene digitale Signal bzw. der vom Tiefpassfilter (21) empfangene digitale Datenstrom in ein analoges Signal umwandelbar ist.
21. Tester mit Mess-Sensoren, insbesondere für Ströme und Spannungen und mit Instrumenten zur Erzeugung von analogen Signalen, wobei der Tester (2) eine elektrische Testschaltung (5) nach einem der Ansprüche 1 bis 13 und/oder eine elektrische Phasenverschiebungsschaltung (6) nach Anspruch 14 aufweist.
22. Verfahren zum Testen eines integrierten Schaltkreises mit den folgenden Schritten:
- a) Bestücken eines Testers (2) mit einem integrierten Schaltkreis (3),
 - b) Beaufschlagen des integrierten Schaltkreises (3) mit Strom- und Spannungswerten durch den Tester (2),
 - c) Erzeugen eines Referenzsignals durch den Tester (2), das dem idealen Ausgabesignal des integrierten Schaltkreises (3) entspricht,
 - d) Verschieben der Phase des Referenzsignals, und zwar so, dass das Referenzsignal und das Testsignal des integ-

rierten Schaltkreises (3) im wesentlichen synchron verlaufen,

e) Anpassen der Amplitude des Referenzsignals an die Amplitude des Testsignals,

5 f) Anpassen der Abweichung des Testsignals an das Referenzsignal,

g) Bilden eines Differenzsignals durch Subtrahieren des Referenzsignals von dem Testsignal,

h) Auswerten des Differenzsignals.

10

23. Verfahren nach Anspruch 22,

dadurch gekennzeichnet, dass

die Schritte d) bis g) mit einer elektrischen Testschaltung (5) nach einem der Ansprüche 1 bis 13 und/oder mit

15 einer elektrischen Phasenverschiebungsschaltung (6) nach Anspruch 14 durchgeführt werden.

24. Verfahren nach Anspruch 22 oder 23,

dadurch gekennzeichnet, dass

20 im Schritt h) durch die elektrische Testschaltung (5) und/oder durch den Tester (2) ein Gütebewertungswert gebildet wird, insbesondere die Standardabweichung des Testsignals und/oder die Abweichung des Testsignals und/oder die Amplitude des Testsignals.

25

25. Verfahren nach einem der Ansprüche 22 bis 24,

dadurch gekennzeichnet, dass

nach Schritt h) durch die elektrische Testschaltung (5) und/oder durch den Tester (2) das Verhältnis zwischen dem Signal und dem Rauschanteil (SNR) und/oder das Verhältnis zwischen dem Signal und dem Rausch- und/oder Verzerrungsanteil (SNDR) und/oder der nicht bereinigte Gesamtfehler

30

(TUE) und/oder der bereinigte Gesamtfehler (TAE) bestimmt wird.

26. Verfahren nach einem der Ansprüche 22 bis 25,

5 dadurch gekennzeichnet, dass
das Beaufschlagen des integrierten Schaltkreises (3) durch
den Tester (2) in Schritt b) mit analogen Strom- und Span-
nungswerten erfolgt.

10 27. Verfahren nach Anspruch 26,

 dadurch gekennzeichnet, dass
 der Tester (2) zusätzlich eine Umwandlungseinheit (21),
 insbesondere einen Tiefpassfilter (21) umfasst, die in
 Schritt b) einen vom Tester (2) generierten digitalen Da-
15 tenstrom in analoge Strom- und Spannungswerte umwandelt
 und an den integrierten Schaltkreis (3) anlegt.

28. Computerprogramm zum Ausführen eines Verfahrens zum Testen
eines elektronischen Bauteils, das so ausgebildet ist, daß
20 die Verfahrensschritte b)-h) gemäß einem der Ansprüche 22-
27 ausführbar sind.

29. Computerprogramm nach Anspruch 28, das auf einem Speicher-
medium, insbesondere in einem Computerspeicher oder in ei-
25 nem Direktzugriffsspeicher enthalten ist.

30. Computerprogramm nach Anspruch 28, das auf einem elektri-
schen Trägersignal übertragen wird.

30 31. Datenträger mit einem Computerprogramm nach Anspruch 28.

32. Verfahren, bei dem ein Computerprogramm nach Anspruch 28 aus einem elektronischen Datennetz wie bspw. aus dem Internet auf einen an das Datennetz angeschlossenen Computer heruntergeladen wird.

1/4

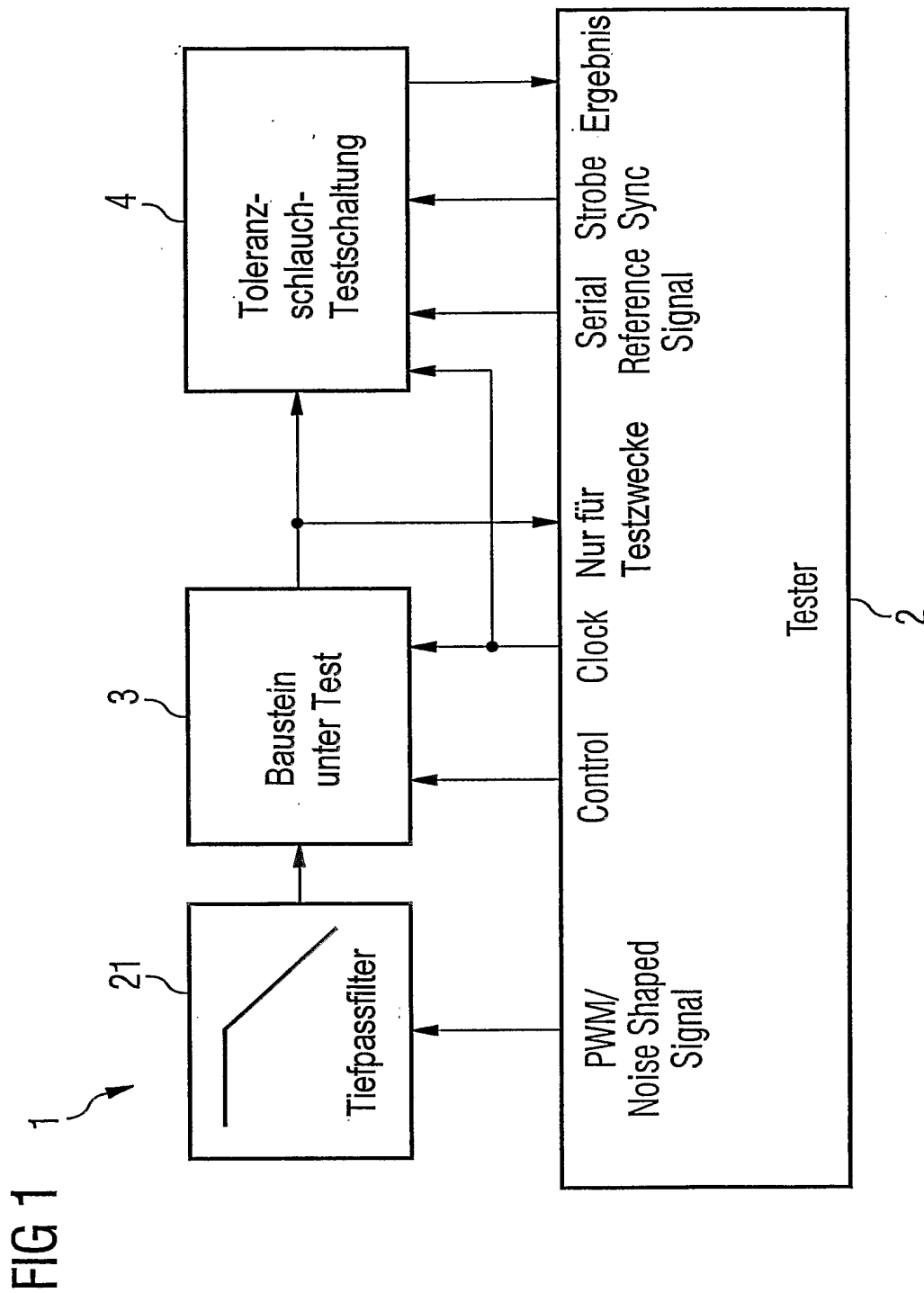


FIG 2

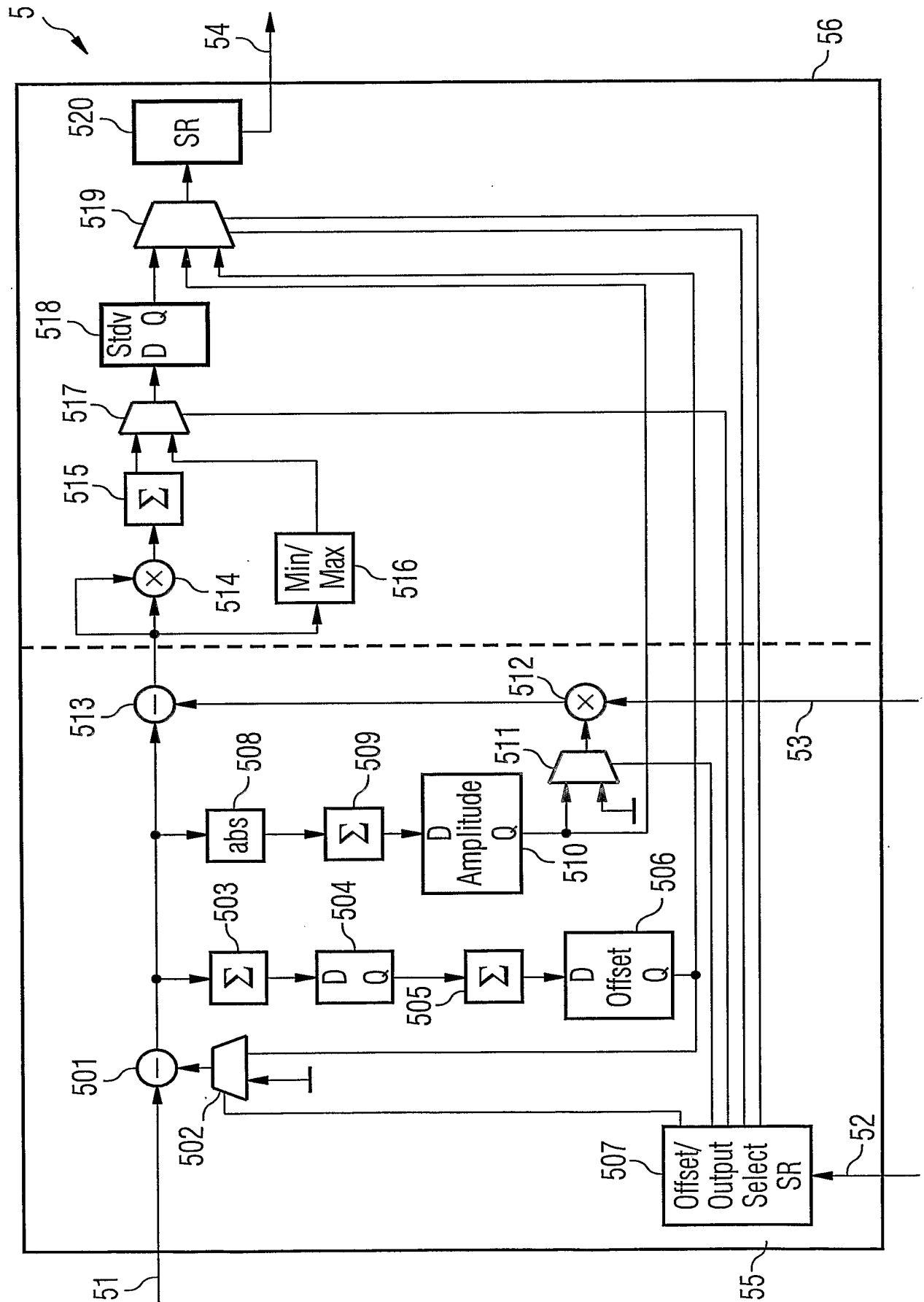
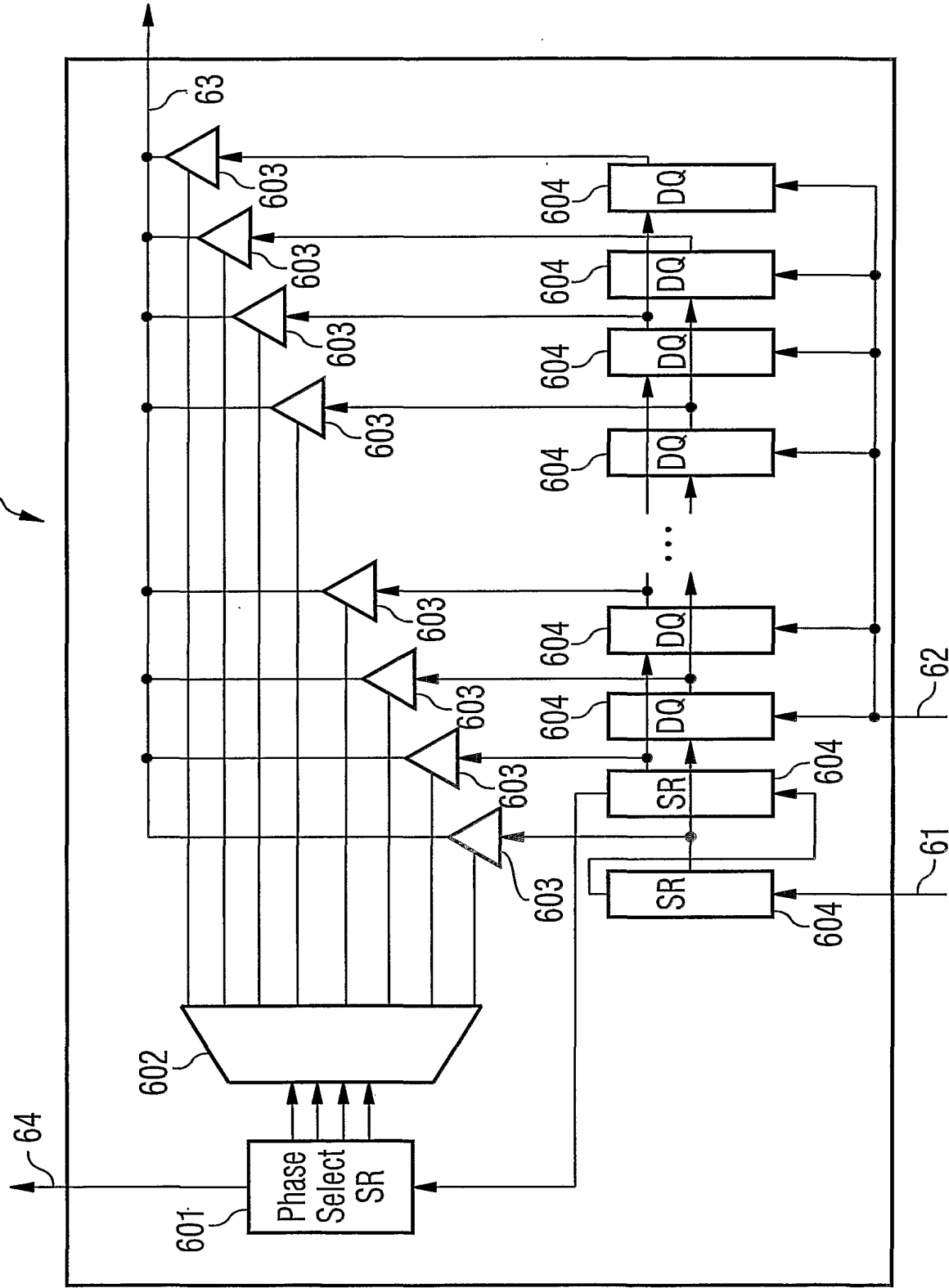
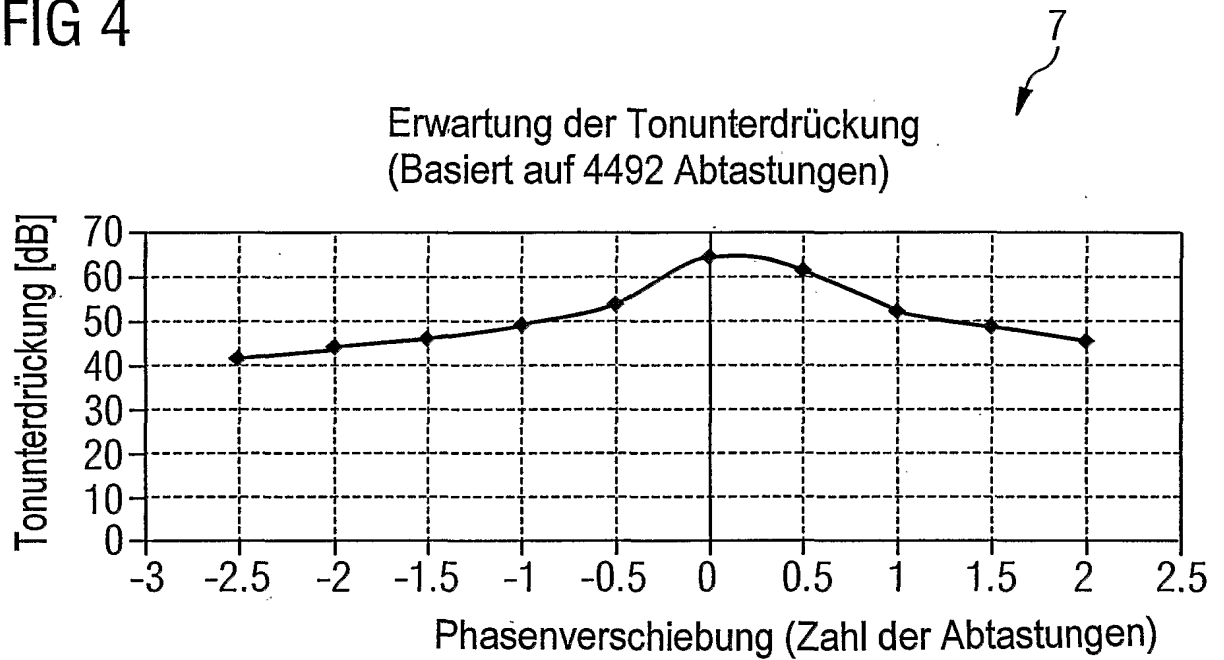


FIG 3



4/4

FIG 4



Phasenverschiebung (Zahl der Abtastungen)	-2.5	-2	-1.5	-1	-0.5	0	0.5	1	1.5	2
Tonunterdrückung [dB]	42.4	44.2	46.4	49.4	54	64.6	61.8	53.1	48.8	46

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001148

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03M1/10 G01R31/3167 H03K5/13

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03M G01R H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, INSPEC, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 550 187 A (RAYTHEON CO) 7 July 1993 (1993-07-07)	1-8, 11-13, 15-32
Y	page 2, line 34 - page 3, line 34 & T.A. REBOLD, F.H. IRONS: "A phase-plane approach to the compensation of high-speed analog-to-digital converters" IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, vol. 2, 4 May 1987 (1987-05-04), pages 455-458, XP008036387 PHILADELPHIA the whole document ----- -/--	9,10

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

15 October 2004

Date of mailing of the international search report

26/10/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Koll, H

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001148

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 127 869 A (HIRASAKA HISATO) 3 October 2000 (2000-10-03)	14-21
Y	column 3, line 18 - column 6, line 4; figure 5	9,10
A	----- HOFNER T C: "INL/DNL MEASUREMENTS FOR HIGH-SPEED ADCS" ELECTRONIC ENGINEERING, MORGAN-GRAMPIAN LTD. LONDON, GB, vol. 71, no. 875, December 1999 (1999-12), pages 19-20,22,24, XP000947286 ISSN: 0013-4902 the whole document	1-32
A	----- EP 0 224 707 A (SIEMENS NIXDORF INF SYST) 10 June 1987 (1987-06-10) abstract; figure 1	1,22
A	----- US 2002/105353 A1 (MORI ET AL) 8 August 2002 (2002-08-08) paragraph '0017!; figures 1-7 paragraph '0051! - paragraph '0054!	1,22
A	----- US 4 746 902 A (TOL SIMON J M ET AL) 24 May 1988 (1988-05-24) column 4, line 19 - line 57; figures 1A,1B	1,22,28
A	----- US 3 852 723 A (WU W) 3 December 1974 (1974-12-03) abstract; figure 1	14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/001148

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0550187	A	07-07-1993	US 5266951 A	30-11-1993
			DE 69230638 D1	09-03-2000
			DE 69230638 T2	03-08-2000
			EP 0550187 A2	07-07-1993
			JP 3510279 B2	22-03-2004
			JP 5276037 A	22-10-1993
US 6127869	A	03-10-2000	JP 11250408 A	17-09-1999
EP 0224707	A	10-06-1987	DE 3541343 A1	25-06-1987
			DE 3676963 D1	21-02-1991
			EP 0224707 A1	10-06-1987
			JP 1697167 C	28-09-1992
			JP 3057660 B	02-09-1991
			JP 62175038 A	31-07-1987
			US 4890095 A	26-12-1989
US 2002105353	A1	08-08-2002	JP 2002236151 A	23-08-2002
			DE 10150056 A1	19-09-2002
			TW 522248 B	01-03-2003
US 4746902	A	24-05-1988	NL 8600815 A	16-10-1987
			AU 587156 B2	03-08-1989
			AU 7072687 A	01-10-1987
			CA 1266104 A1	20-02-1990
			DE 3774311 D1	12-12-1991
			EP 0240055 A1	07-10-1987
			JP 2515784 B2	10-07-1996
			JP 62294337 A	21-12-1987
US 3852723	A	03-12-1974	NL 6712617 A	18-03-1969
			AU 7370174 A	01-04-1976
			BE 821381 A1	17-02-1975
			BE 720878 A	13-03-1969
			CA 1035026 A1	18-07-1978
			CH 502697 A	31-01-1971
			CH 576674 A5	15-06-1976
			DE 1764935 A1	13-01-1972
			DE 2450528 A1	05-06-1975
			ES 431922 A1	01-11-1976
			FR 2252602 A1	20-06-1975
			FR 1586205 A	13-02-1970
			GB 1478685 A	06-07-1977
			GB 1236603 A	23-06-1971
			IT 1022108 B	20-03-1978
			JP 50085250 A	09-07-1975
			NL 7414652 A	27-05-1975
			SE 403663 B	28-08-1978
			US 3582723 A	01-06-1971
			DK 118298 B	03-08-1970
			ES 358031 A1	01-04-1970

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03M1/10 G01R31/3167 H03K5/13

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RESEARCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03M G01R H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, INSPEC, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 550 187 A (RAYTHEON CO) 7. Juli 1993 (1993-07-07)	1-8, 11-13, 15-32
Y	Seite 2, Zeile 34 - Seite 3, Zeile 34 & T.A. REBOLD, F.H. IRONS: "A phase-plane approach to the compensation of high-speed analog-to-digital converters" IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, Bd. 2, 4. Mai 1987 (1987-05-04), Seiten 455-458, XP008036387 PHILADELPHIA das ganze Dokument ----- -/--	9,10

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. Oktober 2004

Absendedatum des internationalen Recherchenberichts

26/10/2004

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Koll, H

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 127 869 A (HIRASAKA HISATO) 3. Oktober 2000 (2000-10-03)	14-21
Y	Spalte 3, Zeile 18 - Spalte 6, Zeile 4; Abbildung 5	9,10
A	----- HOFNER T C: "INL/DNL MEASUREMENTS FOR HIGH-SPEED ADCS" ELECTRONIC ENGINEERING, MORGAN-GRAMPIAN LTD. LONDON, GB, Bd. 71, Nr. 875, Dezember 1999 (1999-12), Seiten 19-20,22,24, XP000947286 ISSN: 0013-4902 das ganze Dokument	1-32
A	----- EP 0 224 707 A (SIEMENS NIXDORF INF SYST) 10. Juni 1987 (1987-06-10) Zusammenfassung; Abbildung 1	1,22
A	----- US 2002/105353 A1 (MORI ET AL) 8. August 2002 (2002-08-08) Absatz '0017!; Abbildungen 1-7 Absatz '0051! - Absatz '0054!	1,22
A	----- US 4 746 902 A (TOL SIMON J M ET AL) 24. Mai 1988 (1988-05-24) Spalte 4, Zeile 19 - Zeile 57; Abbildungen 1A,1B	1,22,28
A	----- US 3 852 723 A (WU W) 3. Dezember 1974 (1974-12-03) Zusammenfassung; Abbildung 1 -----	14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichung, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001148

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0550187	A	07-07-1993	US 5266951 A 30-11-1993
		DE 69230638 D1 09-03-2000	
		DE 69230638 T2 03-08-2000	
		EP 0550187 A2 07-07-1993	
		JP 3510279 B2 22-03-2004	
		JP 5276037 A 22-10-1993	
US 6127869	A	03-10-2000	JP 11250408 A 17-09-1999
EP 0224707	A	10-06-1987	DE 3541343 A1 25-06-1987
		DE 3676963 D1 21-02-1991	
		EP 0224707 A1 10-06-1987	
		JP 1697167 C 28-09-1992	
		JP 3057660 B 02-09-1991	
		JP 62175038 A 31-07-1987	
		US 4890095 A 26-12-1989	
US 2002105353	A1	08-08-2002	JP 2002236151 A 23-08-2002
		DE 10150056 A1 19-09-2002	
		TW 522248 B 01-03-2003	
US 4746902	A	24-05-1988	NL 8600815 A 16-10-1987
		AU 587156 B2 03-08-1989	
		AU 7072687 A 01-10-1987	
		CA 1266104 A1 20-02-1990	
		DE 3774311 D1 12-12-1991	
		EP 0240055 A1 07-10-1987	
		JP 2515784 B2 10-07-1996	
		JP 62294337 A 21-12-1987	
US 3852723	A	03-12-1974	NL 6712617 A 18-03-1969
		AU 7370174 A 01-04-1976	
		BE 821381 A1 17-02-1975	
		BE 720878 A 13-03-1969	
		CA 1035026 A1 18-07-1978	
		CH 502697 A 31-01-1971	
		CH 576674 A5 15-06-1976	
		DE 1764935 A1 13-01-1972	
		DE 2450528 A1 05-06-1975	
		ES 431922 A1 01-11-1976	
		FR 2252602 A1 20-06-1975	
		FR 1586205 A 13-02-1970	
		GB 1478685 A 06-07-1977	
		GB 1236603 A 23-06-1971	
		IT 1022108 B 20-03-1978	
		JP 50085250 A 09-07-1975	
		NL 7414652 A 27-05-1975	
		SE 403663 B 28-08-1978	
		US 3582723 A 01-06-1971	
		DK 118298 B 03-08-1970	
		ES 358031 A1 01-04-1970	